|  |
| --- |
|  |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **«МИРЭА - Российский технологический университет»**  **РТУ МИРЭА** |

Институт Информационных Технологий

Кафедра Вычислительной Техники (ВТ)

**ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ №** **5**

«Схемотехнические узлы последовательного типа»

по дисциплине

«Архитектура вычислительных машин и систем»

|  |  |
| --- | --- |
| Выполнил студент группы  ИВБО-20-23 | Хецрон Л.Д. |
| Принял ассистент кафедры ВТ | Дуксина И.И. |
| Практическая работа выполнена | « \_\_ » \_\_\_\_\_\_\_ 2024 г. |
| «Зачтено» | « \_\_ » \_\_\_\_\_\_\_ 2024 г. |

Москва 2024

АННОТАЦИЯ

Данная работа включает в себя 1 рисунок, 2 листинга. Количество страниц в работе — .

СОДЕРЖАНИЕ

[ВВЕДЕНИЕ 4](#_Toc180693243)

[1 ТЕОРЕТИЧЕСКИЙ ВОПРОС 5](#_Toc180693244)

[2 ПРАКТИЧЕСКОЕ ЗАДАНИЕ 6](#_Toc180693245)

[2.1 Реализация … 6](#_Toc180693246)

[2.2 Реализация тестового модуля 6](#_Toc180693247)

[3 ТЕСТИРОВАНИЕ 8](#_Toc180693248)

[ЗАКЛЮЧЕНИЕ 9](#_Toc180693249)

[СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ 10](#_Toc180693250)

# ВВЕДЕНИЕ

Под абстрактным конечным автоматом понимают математическую структуру с тремя основными конечными множествами A, B, Q и двумя функциями: g: Q x A → Q и f: Q x A → B, где А – множество входных символов; B – множество выходных символов, Q – множество состояний - “снимок” стабильных значений составляющих некого объекта, в данном случае - автомата.

Простейшим конечным автоматом может служить триггер. Триггер позволяет хранить один бит информации, соответственно, он может находиться в одном из двух устойчивых состояний: состояние логического нуля и состояние логической единицы.

Регистр – это набор триггеров, соединённых друг с другом.

Общая классификация регистров:

* по количеству разрядов;
* по триггерам, на которых реализован регистр;
* по способу приёма и выдачи данных:
  + параллельные (регистры хранения)
  + последовательные (сдвиговые)
  + параллельно-последовательные регистры (универсальный сдвиговый регистр) [1]

# 1 ТЕОРЕТИЧЕСКИЙ ВОПРОС

# 2 ПРАКТИЧЕСКОЕ ЗАДАНИЕ

## 2.1 Реализация …

Реализация … с помощью … [2] представлена в Листинге 2.1.

Листинг 2.1 — Реализация …

|  |
| --- |
|  |

## 2.2 Реализация тестового модуля

Реализация тестового модуля для проверки модуля представлена в Листинге 2.2.

Листинг 2.2 — Реализация тестового модуля

|  |
| --- |
|  |

# 3 ТЕСТИРОВАНИЕ

Запустим полученную схему и произведем её верификацию. Результат выполнения представлен на Рисунке 3.1.

Рисунок 3.1 — Результат верификации полученной схемы

ЗАКЛЮЧЕНИЕ

В результате выполнения пятой практической работы были выполнены следующие задачи:

* создан проект в САПР Vivado;
* создан модуль на языке Verilog HDL, описывающий реализацию …;
* создан тестовый модуль на языке Verilog HDL;
* произведена верификация модулей посредством временной диаграммы;
* составлен отчёт. [3]

# СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Дуксин, Н. А. Архитектура вычислительных машин и систем. Основы построения вычислительной техники: Практикум : учебное пособие / Н. А. Дуксин, Д. В. Люлява, И. Е. Тарасов. — Москва : РТУ МИРЭА, 2023. — 185 с.

2. Соловьев В. В. Основы языка проектирования цифровой аппаратуры Verilog. — М.: Горячая линия — Телеком, 2014. — 208 с.

3. Смирнов С.С. Информатика [Электронный ресурс]: Методические указания по выполнению практических и лабораторных работ / С.С. Смирнов — М., МИРЭА — Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).